

DIALOG(R)File 345:Inpadoc:Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

13313129

Basic Patent (No.Kind.Date): JP 8274336 A2 961018 <No. of Patents: 001>

POLYCRYSTAL SEMICONDUCTOR THIN-FILM TRANSISTOR AND ITS
MANUFACTURE (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): UEMOTO TSUTOMU; HIRAMATSU MASAHIRO

IPC: *H01L-029/786;

CA Abstract No: 126(06)083162Y

Derwent WPI Acc No: C 97-005040

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 8274336	A2	961018	JP 9572675	A	950330 (BASIC)

Priority Data (No,Kind.Date):
JP 9572675 A 950330

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

05318836 **Image available**

POLYCRYSTAL SEMICONDUCTOR THIN-FILM TRANSISTOR AND ITS
MANUFACTURE

PUB. NO.: 08-274336 [JP 8274336 A]

PUBLISHED: October 18, 1996 (19961018)

INVENTOR(s): UEMOTO TSUTOMU

HIRAMATSU MASAHIRO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 07-072675 [JP 9572675]

FILED: March 30, 1995 (19950330)

INTL CLASS: [6] H01L-029/786

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R100
(ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PURPOSE: To provide a thin-film semiconductor field-effect transistor whose current driving capability is high, whose element size is small and which comprises an LDD structure in such a way that the number of processes is not increased so much.

CONSTITUTION: In a coplanar MIS thin-film transistor, a semiconductor layer 3 composed of polycrystal silicon is formed as a channel region. In the transistor, a gate electrode 4(sub 2) has a projection structure in which an area near a contact part with a gate oxide film 2 is larger than that on its opposite side, and the polycrystal silicon layer 3 which is faced is doped with the same conductivity-type deciding impurities as a source-drain so as to be thinner than the source-drain.

(51) Int. Cl.
H 0 1 L 29/786

識別記号 庁内整理番号

F I
H 0 1 L 29/78

技術表示箇所

6 1 7 L

6 1 7 K

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平7-72675

(22) 出願日 平成7年(1995)3月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 上本 勉

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 平松 雅人

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

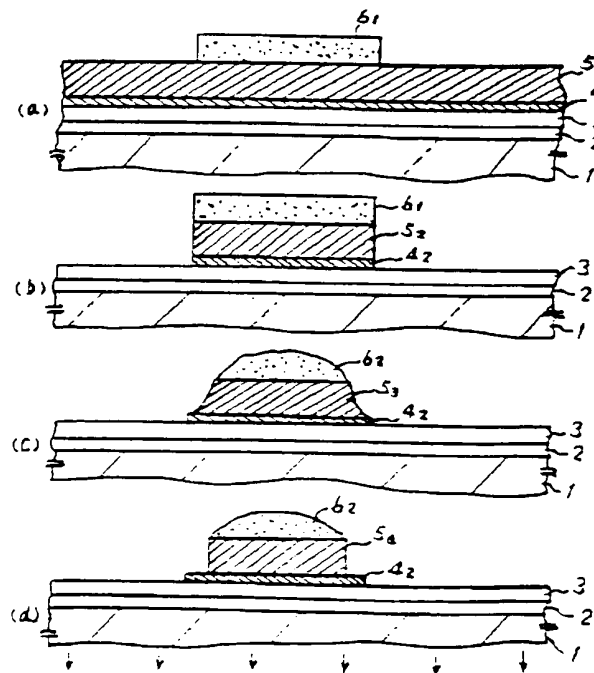
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 多結晶半導体薄膜トランジスタ及びその製造方法

(57) 【要約】 (修正有)

【目的】 電流ドライブ能力が高く素子サイズが小さい LDD 構造を持った薄膜半導体電解効果トランジスタを工程数をあまり増やすことなく供給する。

【構成】 多結晶シリコンよりなる半導体層 3 をチャネル領域よりなるコプレーナ型 M I S 型薄膜トランジスタにおいて、ゲート電極 4₂ がゲート酸化膜 2 に接触部近傍の面積が反対側より大きい張りだし構造を有し、対面する多結晶シリコン層 3 にソース・ドレインと同じ伝導型決定不純物がソースドレインより薄く添加されている。



【特許請求の範囲】

【請求項1】表面が絶縁性の基板と、この基板上に形成されチャネル領域が内部に形成される多結晶半導体層と、この多結晶半導体層上に形成されるゲート絶縁膜と、このゲート絶縁膜上に形成されるゲート電極と、前記多結晶半導体層の両側に接して或いは内部に形成されるソース・ドレイン領域とを備えた多結晶半導体薄膜トランジスタにおいて、前記ゲート電極が前記ゲート酸化膜に近い側に形成された第1のゲート金属層と、この第1のゲート金属層上に形成され前記第1のゲート金属層に比べてゲート長方向が短い第2のゲート金属層から成ることを特徴とする多結晶半導体薄膜トランジスタ、

【請求項2】表面が絶縁性の基板と、この基板上に形成されチャネル領域が内部に形成される多結晶半導体層と、この多結晶半導体層上に形成されるゲート絶縁膜と、このゲート絶縁膜上に形成されるゲート電極と、前記多結晶半導体層の内部或いは両側に接して形成されるソース・ドレイン領域とを備えた多結晶半導体薄膜トランジスタにおいて、前記ゲート電極が前記ゲート酸化膜に近い側で裾が広がった形状でありこの裾が前記基板表面との成す角度が20度以下であることを特徴とする多結晶半導体薄膜トランジスタ、

【請求項3】表面が絶縁性の基板上に多結晶半導体層を形成する工程と、この多結晶半導体層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に前記ゲート酸化膜に近い側に第1のゲート金属層を形成する工程と、この第1のゲート金属層上に形成され前記第1のゲート金属層に比べてゲート長方向が短い第2のゲート金属層を形成する工程と、前記第1及び第2のゲート金属層上から不純物注入を行なって前記多結晶半導体層にソース・ドレイン領域を形成する工程とを具備することを特徴とする多結晶半導体薄膜トランジスタの製造方法、

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は多結晶半導体薄膜トランジスタに関する。

【0002】

【従来の技術】薄膜トランジスタ(TFT)は大面積かつ種々の材質の基板に形成できるため多方面の応用が期待されている。今日もっとも大きな応用分野としては液晶表示素子におけるスイッチング素子として応用されている。現在、実用化されているTFTでは非晶質シリコンを用いたものであるが、非晶質シリコンは移動度が低くこのため大電流をスイッチングする為には素子サイズが大きくなる、高速のスイッチングができないなどの問題点がある。これを解決する手段として、多結晶シリコンをチャネルに用いてTFTを作製する試みがなされている。しかし、多結晶シリコンを用いたTFTではドレイン端近傍での電界集中によるリーク電流が発生しやすくこのため画素スイッチング用には使用するには、ドレインの

一部に低濃度の不純物層を形成したLDD構造を用いて、電界集中を避けてリーク電流を減らすなければならない。

【0003】従来のこのLDD構造を製造工程順に示したのが図5である。まず初めに、ガラス基板1上に多結晶シリコン膜を形成し、これを島状に加工し、この上に版下シリコンのゲート絶縁膜43を形成する。この後、MoTaのゲート電極45を、PEP(レジストの所定部分を感光させた後、不要部を除去してレジストのマスクを形成し、このレジストマスク上からエッチングしてレジスト下の層を加工する)工程により、パターン形成する。しかる後、このゲート電極45をマスクにしてイオン注入を行い低濃度領域46₁、47₁を形成する(図5(a))。

【0004】その後2回目のPEPを行って、ゲートより大きめのパターンを酸化シリコン膜40で形成する。その後、このパターンをマスクにして、Pのイオン注入を行ってソース・ドレイン領域となる高濃度領域48、49を形成すると共にLDD領域46₂、47₂も形成する(図5(b))。

【0005】最後に、全面に形成した表面保護膜の高濃度領域48、49上に開口部を設け、この開口部にA1のソース・ドレイン電極を形成して薄膜トランジスタが完成する(図5(c))。

【0006】この方法ではLDD領域46₂、47₂の形成できる最小寸法は2回のマスク合わせの精度によって決まる。現状では合わせ精度ではLDD領域の幅は2μm以下にすることは難しく、また、ガラス基板上に作製するときにはプロセス途中での基板の収縮を考えると、LDD領域の幅は4μm程度にしかすることはできない。従って、LDD領域46₂、47₂が、大きくなり、抵抗成分として無視できない。このため十分な電流ドライブ能力を得ることができなかった。またLDD領域46₂、47₂を小さくする事ができない以上素子サイズを小さくすることも困難であった。

【0007】

【発明が解決しようとする課題】以上説明した様に従来の多結晶シリコンを用いたLDD構造TFTではLDD領域の幅を最適なものにすることは不可能であった。このため、従来の素子はサイズが大きく、また電流のドライブ能力の不足したものであった。

【0008】本発明は上記問題点に鑑みなされたもので、電極構造を変えることにより、ドライブ能力の向上と素子サイズの小型化を図った多結晶半導体薄膜トランジスタの提供を目的とする。

【0009】

【課題を解決するための手段】請求項1に係る発明は、表面が絶縁性の基板と、この基板上に形成されチャネル領域が内部に形成される多結晶半導体層と、この多結晶半導体層上に形成されるゲート絶縁膜と、このゲート絶

縁膜上に形成されるゲート電極と、前記多結晶半導体層の両側に接して或いは内部に形成されるソース・ドレイン領域とを備えた多結晶半導体薄膜トランジスタにおいて、前記ゲート電極が前記ゲート酸化膜に近い側に形成された第1のゲート金属層と、この第1のゲート金属層上に形成され前記第1のゲート金属層に比べてゲート長方向が短い第2のゲート金属層から成ることを特徴とする多結晶半導体薄膜トランジスタを提供するものである。

【0010】請求項2に係る発明は、表面が絶縁性の基板と、この基板上に形成されチャンネル領域が内部に形成される多結晶半導体層と、この多結晶半導体層上に形成されるゲート絶縁膜と、このゲート絶縁膜上に形成されるゲート電極と、前記多結晶半導体層の内部或いは両側に接して形成されるソース・ドレイン領域とを備えた多結晶半導体薄膜トランジスタにおいて、前記ゲート電極が前記ゲート酸化膜に近い側で裾が広がった形状でありこの裾が前記基板表面との成す角度が20度以下であることを特徴とする多結晶半導体薄膜トランジスタを提供するものである。

【0011】請求項3に係る発明は、表面が絶縁性の基板上に多結晶半導体層を形成する工程と、この多結晶半導体層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に前記ゲート酸化膜に近い側に第1のゲート金属層を形成する工程と、この第1のゲート金属層上に形成され前記第1のゲート金属層に比べてゲート長方向が短い第2のゲート金属層を形成する工程と、前記第1及び第2のゲート金属層上から不純物注入を行なって前記多結晶半導体層にソース・ドレイン領域を形成する工程とを具備することを特徴とする多結晶半導体薄膜トランジスタの製造方法を提供するものである。

【0012】ここで前記ゲート電極は2層以上の伝導体より形成され、前記ゲート絶縁膜から近い順に低抵抗であることが素子速度向上の点から望ましい。また、多結晶半導体は多結晶シリコンであることが、素子特性の信頼性の面から良い。

【0013】また、ゲート電極の裾は、基板表面との成す角度が20度以下であることがリーク電流低減の点から望ましく、またゲート電極の裾或いは第1のゲート金属層の第2のゲート金属層からのゲート長方向での出っ張りは、0.2 μm 以上であることが低リーク電流の点から望ましい。

【0014】さらに、多結晶半導体層は、前記ゲート電極下の不純物が多結晶半導体薄膜トランジスタのソース・ドレイン領域と同じ伝導型決定不純物であり、かつソース・ドレイン領域の不純物濃度と比べて10倍以上少ない濃度であることが良好な特性のLDD構造を得る点から望ましい。

【0015】

【作用】上記構成により、第1のゲート金属層の第2の

ゲート金属層からのゲート長方向での出っ張り或いはゲート電極の裾の下に低不純物濃度でゲート長方向の長さが増える構造に比べて短い低不純物濃度層が形成される。従って、この低不純物濃度層が短いために低抵抗のLDD構造が正確に形成されることになり、ドライブ能力の向上と素子サイズの小型化を図った多結晶半導体薄膜トランジスタを提供することができる。

【0016】

【実施例】本発明の詳細を実施例を用いて説明する。

（実施例1）本発明の実施例1を図1、図2に示した製造工程順の断面図によって説明する。

【0017】先ず、石英基板1を用い、この基板1上にCVD法で非晶質Si層を形成する。その後、600℃でアニールを20時間行い、50 nm厚の多結晶Si層2を形成する。ここでは図示しないが、この多結晶Si層2を他の多結晶Si層から石英基板1上で電気的に分離するために島状に加工した後、常圧CVD法でSiO₂層3を70 nm形成する。その後、ゲート電極材料としてタングステン層4₁を20 nm、モリブデン層5₁を100 nm形成する。その後ゲート電極として残すべきところにレジスト6₁を被着しておく（図1（a））。

【0018】その後、酸素とフッ化物のガスを用いたRIE法でゲート電極材料をエッチングして、タングステン層4₂、モリブデン層5₂を形成する。このとき、酸素の比率をまず低くして、まずレジスト6₁と同じ幅に近い条件でエッチングする（図1（b））。

【0019】その後、酸素濃度を上げてレジスト6₁もエッチングされる様な条件でエッチングを続けるとレジスト幅が後退し、さらに、レジスト6₂直下の金属5₃もエッチングされる様になる。ゲート電極は、これで完成としてもよいが、さらにエッチングを続けて明確に裾が広がった形状にすることもできる（図1（c））。

【0020】つまり、ガスを切り替えて、下層の金属がエッチングされない条件でさらに上層の金属をエッチングする。その後レジストを除去することでゲートが上層の金属5₄が下層の金属4₂より狭い構造を有している。この様にして、第1のゲート金属としてのタングステン層4₂、及びこのタングステン層4₂に対してゲート長方向で短い第2のゲート金属層としてのモリブデン層5₄が形成されることとなる。この場合はゲート電極を2段の階段状と称することもできる（図1（d））。

【0021】その後、マス分離をしないイオン注入装置（イオンドーピング装置）でPイオンを100 keVで3 \times 10¹³ / cm²の条件でイオン注入を行って低不純物濃度層6₁、7₁を形成する（図2（a））。

【0022】その後よりkeVで3 \times 10¹⁵ / cm²の条件でPイオン注入を行って、高不純物濃度のソース・ドレイン領域8、9を形成すると共に低不純物濃度層6₂、7₂の（図2（b））。

【0023】その後層間絶縁用の SiO_2 膜14を被着し、コンタクトホールを形成した後、A1電極10、11を被着形成してソース・ドレイン電極10、11を形成する。

【0024】この後、図示しないが、全面にパッシベーション膜などを形成して薄膜電解効果トランジスタを完成させる。図3は上記実施例の薄膜電解効果トランジスタのゲート電圧とドレイン電流の関係（実線で示した）を調べたもので、比較のために図5に示した従来型のLDD構造の薄膜電解効果トランジスタのゲート電圧とドレイン電流の関係（破線で示した）を示したものである。この図から明らかなように、本実施例のTFTは従来のTFTと比べてON電流を向上させる事ができる。

【0025】このように、本発明を使用することにより、電流ドライブ能力の高い薄膜電解効果トランジスタを作製することができるようになった。また、ゲート電極に自己整合して低不純物濃度層が形成されるためPEP工程によるマスクずれがなくなり、薄膜電解効果トランジスタの特性を安定させることができ、歩留まりが高くなった。また、絶縁基板上に画素電極、画素電極のスイッチング用TFT、駆動回路などを集積形成して得られる液晶表示装置の駆動回路様のTFTに応用する場合、従来法では駆動回路と画素スイッチでは薄膜電解効果トランジスタの構成が変わり非常に複雑になったが、本方法では同じ構造にすることができ、回路設計上非常に楽になった。また、画素スイッチ様のMIS型電解効果トランジスタの電流ドライブ能力が高くなり、トランジスタの絶縁性基板上に占める占有面積を小さくすることができる。これは例えば従来型の薄膜電解効果トランジスタの占有面積が $10 \times 10 \mu\text{m}^2/\text{口}$ であったのを、本実施例のトランジスタでは $7 \times 10 \mu\text{m}^2/\text{口}$ にすることができ、素子サイズの小型化を図ることができると共に、またリーク電流が少なくなることで補助容量を低減することができ、開口率を高くすることが可能となった。

（実施例2）図4は本発明の実施例2を示す薄膜電解効果トランジスタの断面図である。本方法では金属層からゲート電極をエッチング形成する際、エッチング条件を選ぶことにより、一度で本発明のゲート電極形状を作製できる様にしたものである。この実施例1でもそうであるが、この実施例2の場合、ゲート電極35の側面は傾斜形状の場36を持ちゲート電極35の断面は全体としてL型に近い形状となり、ゲート電極の場36のゲート電極頂部からの出っ張りはゲート長方向で、 $0.5 \mu\text{m}$ より大きいことが良く、また、場の広がり角度は基板表面に対して20度以下であることが望ましいことが分かった。これは以下の理由による。つまり通常エッチングを行っても、ゲート側面は傾斜する。しかし、傾斜角は正っており、基板1に対し、45度以上の形状を示している。しかし、このような形状では、イオンの加速電圧を

変えてもLDD領域はほとんど形成されず、従って、MISの逆方向リークも減らなかった。発明者等の実験では張り出し部の長さが $0.5 \mu\text{m}$ 、 $0.3 \mu\text{m}$ の場合、基板との角度5度で作製したとき最もMISトランジスタは特性の良いものができた。電気的特性が改善されるまでLDD領域が形成されるためには、ゲート電極の場36が基板表面に対して5度程度の角度がついていることが望ましい。我々の実験では20度まで、角度を大きくしても特性の改善が見られた。よって角度20度以下で張り出し部分の長さが $0.3 \mu\text{m}$ である場合、1回のPEP行程でLDD構造が作製できることがわかった。基板との角度が0度で、張り出し部分が $0.5 \mu\text{m}$ の時が実施例1とまったく同様の効果を得た。

【0026】本発明は、上記実施例に限定されるものではなく、その趣旨を種々変形して実施することができる。本発明の上述した実施例において、ゲート電極のうち、ゲート絶縁膜に近い部分の伝導層を多結晶シリコンとし、ゲート絶縁膜から遠い部分をタングステン、モリブデン、クロム、チタン、白金、バナジウム、ニッケル、アルミニウム、銅、金、銀、パラジウム、ニオブ、タンタルなどの金属としたものである。この場合、チャネルと、酸化膜に接しているゲート電極が同じ材料であり、物質の仕事関数差によるMISトランジスタの閾値が変化するのを防ぐことができる。

【0027】また、上述した実施例のゲート電極にタングステン、モリブデン、クロム、チタン、白金、バナジウム、ニッケル、アルミニウム、銅、金、銀、パラジウム、ニオブ、タンタルなどの金属の相互の金属間の合金または金属間化合物、またはこれらの金属または合金にベリリウム、マグネシウム、カルシウム、亜鉛、カドミウム、水銀その他の元素を微量に添加したものを組み合わせて使用することができる。このような合金や微量の不純物を含んだ金属は組成比で容易にエッチング速度を変更することができ本発明の様な形状を作製できるので好ましい。

【0028】多結晶半導体層はシリコンに限定されるものではなく、他のIV族半導体、化合物半導体例えば、 SiGe 、 SiC 等であっても良い。また上記実施例ではチャネルには不純物添加を行わなかったが、チャネルへのドーピングを行ってP型或いはN型の電解効果トランジスタにしても本発明の主旨を逸脱するものではない。

【0029】また、表面が絶縁性の基板は、ガラス基板に限るものではなく、 SiO_2 基板などの表面が絶縁性である基板なら良い。その他種々変形して使用することができる。

【0030】

【発明の効果】本発明を用いることにより、ドライブ能力の向上と素子サイズの小形化を図った多結晶半導体薄膜トランジスタを提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例1に係るMIS型TFETトランジスタの断面図

【図2】本発明の実施例1に係るMIS型TFETトランジスタの断面図

【図3】本発明の実施例1に係るMIS型TFETトランジスタを説明する図

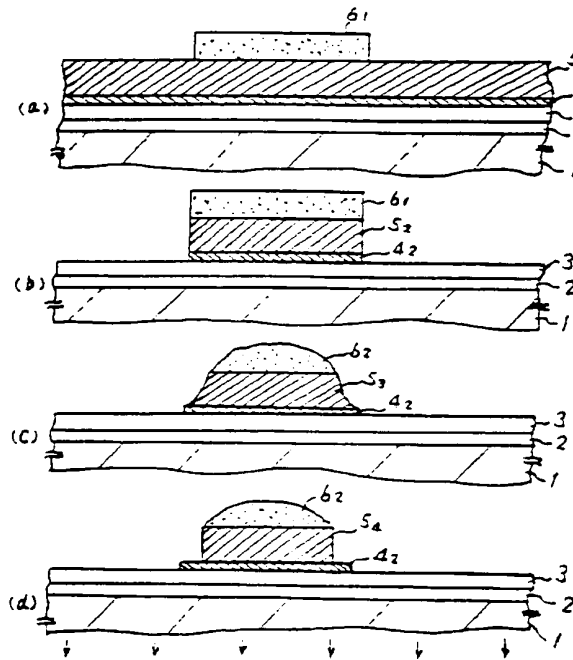
【図4】本発明の実施例2に係るMIS型TFETトランジスタの断面図

【図5】従来法のLDD構造を有するMIS型TFETトランジスタの断面図

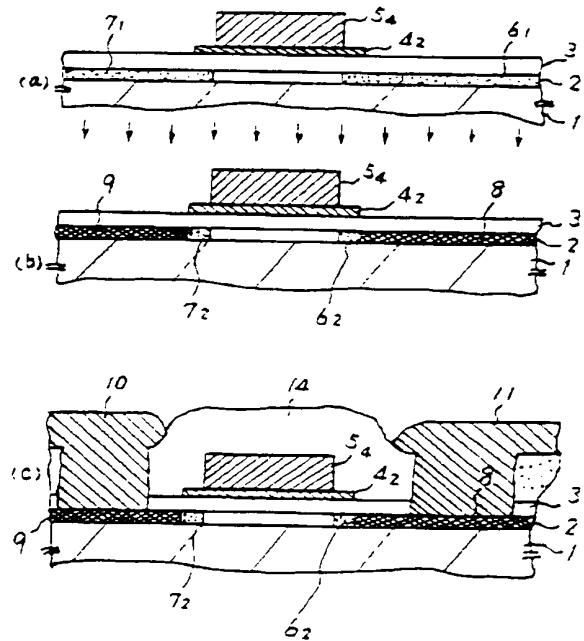
【符号の説明】

- 1 絶縁性基板
- 2 ゲート絶縁膜
- 3 無添加多結晶シリコン層
- 4 第1のゲート金属層
- 5 第2のゲート金属層
- 6、7 低濃度不純物添加した多結晶シリコン層
- 8、9 高濃度不純物添加した多結晶シリコン層
- 10 ソース電極
- 11 ドレイン電極
- 14 絶縁膜
- 16 レジスト層

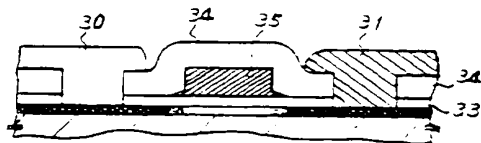
【図1】



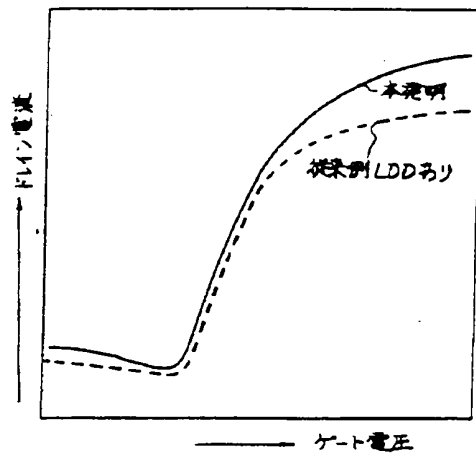
【図2】



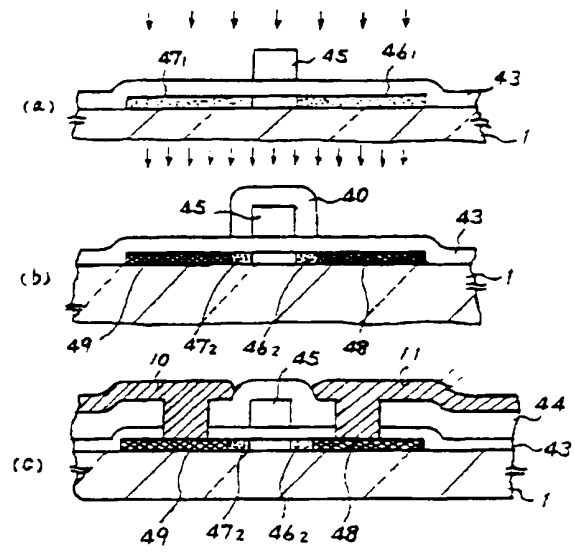
【図4】



【図3】



【図5】



【公報種別】 特許法第17条の2の規定による補正の掲載
【部門区分】 第7部門第2区分
【発行日】 平成13年9月7日（2001. 9. 7）

【公開番号】 特開平8-274336
【公開日】 平成8年10月13日（1996. 10. 18）
【年通号数】 公開特許公報3-2744
【出願番号】 特願平7-72675
【国際特許分類第7版】
H01L 29/736
【FI】
H01L 29/78 617 L
617 K

【手続補正書】
【提出日】 平成12年10月27日（2000. 10. 27）
【手続補正1】
【補正対象書類名】 明細書
【補正対象項目名】 特許請求の範囲
【補正方法】 変更
【補正内容】
【特許請求の範囲】

【請求項1】 表面が絶縁性の基板と、この基板上に形成されチャネル領域が内部に形成される多結晶半導体層と、この多結晶半導体層上に形成されるゲート絶縁膜と、このゲート絶縁膜上に形成されるゲート電極と、前記多結晶半導体層の両側に接して或いは内部に形成されるソース・ドレイン領域とを備えた多結晶半導体薄膜トランジスタにおいて、前記ゲート電極が前記ゲート絶縁膜に近い側に形成された第1のゲート金属層と、この第1のゲート金属層上に形成され前記第1のゲート金属層に比べてゲート長方向が短い第2のゲート金属層から成ることを特徴とする多結晶半導体薄膜トランジスタ。

【請求項2】 表面が絶縁性の基板と、この基板上に形成されチャネル領域が内部に形成される多結晶半導体層と、この多結晶半導体層上に形成されるゲート絶縁膜と、このゲート絶縁膜上に形成されるゲート電極と、前記多結晶半導体層の内部或いは両側に接して形成されるソース・ドレイン領域とを備えた多結晶半導体薄膜トランジスタにおいて、前記ゲート電極が前記ゲート絶縁膜に近い側で裾が広がった形状でありこの裾と前記基板表面との成す角度が20度以下であることを特徴とする多結晶半導体薄膜トランジスタ。

【請求項3】 表面が絶縁性の基板上に多結晶半導体層を形成する工程と、この多結晶半導体層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に前記ゲート絶縁膜に近い側に第1のゲート金属層を形成する工程と、この第1のゲート金属層上に形成され前記第1のゲート金属層に比べてゲート長方向が短い第2のゲート金

属層を形成する工程と、前記第1及び第2のゲート金属層上から不純物注入を行なって前記多結晶半導体層にソース・ドレイン領域を形成する工程とを具備することを特徴とする多結晶半導体薄膜トランジスタの製造方法。

【手続補正2】
【補正対象書類名】 明細書
【補正対象項目名】 0003
【補正方法】 変更
【補正内容】

【0003】 従来のこのLDD構造を製造工程順に示したのが図5である。まず初めに、ガラス基板1上に多結晶シリコン膜を形成し、これを島状に加工し、この上に酸化シリコンのゲート絶縁膜43を形成する。この後、MoTe₂のゲート電極45を、PEP（レジストの所定部分を感光させた後、不要部を除くしてレジストのマスクを形成し、このレジストマスク上からエッチングしてレジスト下の層を加工する）工程により、パターン形成する。しかる後、このゲート電極45をマスクにしてイオン注入を行い低濃度領域46、47を形成する（図5（a））。

【手続補正3】
【補正対象書類名】 明細書
【補正対象項目名】 0005
【補正方法】 変更
【補正内容】

【0005】 最後に、全面に形成した表面保護膜48の高濃度領域48、49上に開口部を設け、この開口部にAuのソース・ドレイン電極を形成して薄膜トランジスタが完成する（図5（c））。

【手続補正4】
【補正対象書類名】 明細書
【補正対象項目名】 0009
【補正方法】 変更
【補正内容】
【0009】

【課題を解決するための手段】請求項１に係る発明は、表面が絶縁性の基板と、この基板上に形成されチャネル領域が内部に形成される多結晶半導体層と、この多結晶半導体層上に形成されるゲート絶縁膜と、このゲート絶縁膜上に形成されるゲート電極と、前記多結晶半導体層の両側に接して或いは内部に形成されるソース・ドレイン領域とを備えた多結晶半導体薄膜トランジスタにおいて、前記ゲート電極が前記ゲート絶縁膜に近い側に形成された第１のゲート金属層と、この第１のゲート金属層上に形成され前記第１のゲート金属層に比べてゲート長方向が短い第２のゲート金属層から成ることを特徴とする多結晶半導体薄膜トランジスタを提供するものである。

【手続補正５】

【補正対象書類名】明細書

【補正対象項目名】００１０

【補正方法】変更

【補正内容】

【００１０】請求項２に係る発明は、表面が絶縁性の基板と、この基板上に形成されチャネル領域が内部に形成される多結晶半導体層と、この多結晶半導体層上に形成されるゲート絶縁膜と、このゲート絶縁膜上に形成されるゲート電極と、前記多結晶半導体層の内部或いは両側に接して形成されるソース・ドレイン領域とを備えた多結晶半導体薄膜トランジスタにおいて、前記ゲート電極が前記ゲート絶縁膜に近い側で裾が広がった形状でありこの裾と前記基板表面との成す角度が２０度以下であることを特徴とする多結晶半導体薄膜トランジスタを提供するものである。

【手続補正６】

【補正対象書類名】明細書

【補正対象項目名】００１１

【補正方法】変更

【補正内容】

【００１１】請求項３に係る発明は、表面が絶縁性の基板上に多結晶半導体層を形成する工程と、この多結晶半導体層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に前記ゲート絶縁膜に近い側に第１のゲート金属層を形成する工程と、この第１のゲート金属層上に形成され前記第１のゲート金属層に比べてゲート長方向が短い第２のゲート金属層を形成する工程と、前記第１及び第２のゲート金属層上から下層物注入を行なって前記多結晶半導体層にソース・ドレイン領域を形成する工程とを具備することを特徴とする多結晶半導体薄膜トランジスタの製造方法を提供するものである。

【手続補正７】

【補正対象書類名】明細書

【補正対象項目名】００１２

【補正方法】変更

【補正内容】

【００１２】先ず、石英基板１を用い、この基板１上にＣＶＤ法で非晶質Ｓｉ層を形成する。その後、６００℃でアニールを２０時間行い、５０ｎｍ厚の多結晶Ｓｉ層２を形成する。ここでは図示しないが、この多結晶Ｓｉ層２を他の多結晶Ｓｉ層から石英基板１上で電気的に分離するために島状に加工した後、常圧ＣＶＤ法でＳｉＯ_２層３を７０ｎｍ形成する。その後、ゲート電極材料としてタングステン層４を２０ｎｍ、モリブデン層５を１００ｎｍ形成する。その後ゲート電極として残すべきところにレジスト層６を被着しておく（図１（ａ））。

【手続補正８】

【補正対象書類名】明細書

【補正対象項目名】００１３

【補正方法】変更

【補正内容】

【００１３】その後、酸素とフッ化物のガスを用いたＲＩＥ法でゲート電極材料をエッチングして、タングステン層４と、モリブデン層５を形成する。このとき、酸素の比率をまず低くして、まずレジスト層６と同じ幅に近い条件でエッチングする（図１（ｂ））。

【手続補正９】

【補正対象書類名】明細書

【補正対象項目名】００１４

【補正方法】変更

【補正内容】

【００１４】その後、酸素濃度を上げてレジスト層６もエッチングされる様な条件でエッチングを続けるとレジスト層が後退し、さらに、レジスト層６直下の金属５もエッチングされる様になる。ゲート電極は、これで完成としてもよいが、さらにエッチングを続けて明確に裾が広がった形状にすることもできる（図１（ｃ））。

【手続補正１０】

【補正対象書類名】明細書

【補正対象項目名】符号の説明

【補正方法】変更

【補正内容】

【符号の説明】

- | | |
|-----|--------------------|
| １ | 絶縁性基板 |
| ２ | 無添加多結晶シリコン層 |
| ３ | ゲート絶縁膜 |
| ４ | 第１のゲート金属層 |
| ５ | 第２のゲート金属層 |
| ６、７ | 低濃度下純物添加した多結晶シリコン層 |
| ８、９ | 高濃度下純物添加した多結晶シリコン層 |
| １０ | ソース電極 |
| １１ | ドレイン電極 |
| １２ | 絶縁膜 |
| １３ | レジスト層 |

【手続補正 1 1】

【補正対象書類名】図面

【補正対象項目名】図 1

【補正方法】変更

【補正内容】

【図 1】

